

10/5235286786

Rec'd CT/PTO 09 FEB 2005

(12)特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局(43) 国際公開日
2004年2月26日 (26.02.2004)

PCT

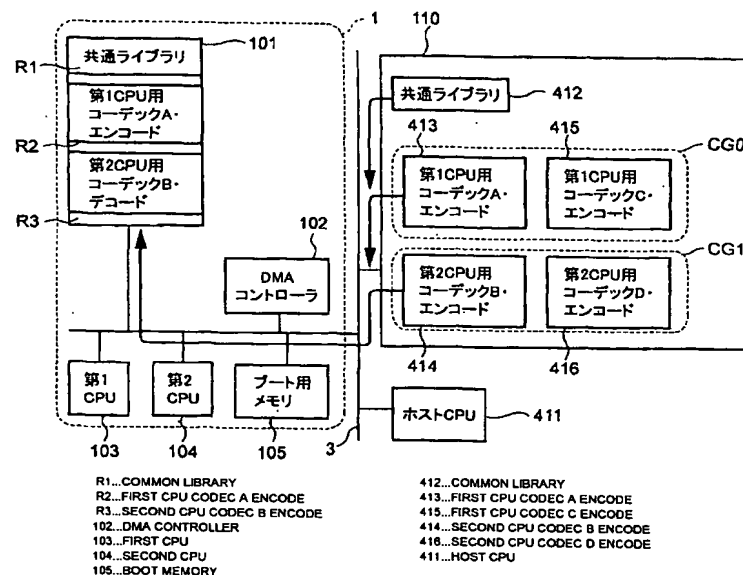
(10) 国際公開番号
WO 2004/017200 A1

- (51) 国際特許分類: G06F 9/445 (72) 発明者; および
(21) 国際出願番号: PCT/JP2003/010409 (75) 発明者/出願人 (米国についてのみ): 杉森 茂夫 (SUGIMORI, Shigeo) [JP/JP]; 〒141-0001 東京都品川区北品川6丁目7番35号 ソニー株式会社内 Tokyo (JP).
(22) 国際出願日: 2003年8月18日 (18.08.2003) (74) 代理人: 中村 友之 (NAKAMURA, Tomoyuki); 〒105-0001 東京都港区虎ノ門1丁目2番3号 虎ノ門第一ビル9階 三好内外国特許事務所内 Tokyo (JP).
(25) 国際出願の言語: 日本語 (81) 指定国 (国内): US.
(26) 国際公開の言語: 日本語 (84) 指定国 (広域): ヨーロッパ特許 (AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HU, IE, IT, LU, MC, NL, PT, RO, SE, SI, SK, TR).
(30) 優先権データ: 特願2002-238437 2002年8月19日 (19.08.2002) JP 添付公開書類:
(71) 出願人 (米国を除く全ての指定国について): ソニー株式会社 (SONY CORPORATION) [JP/JP]; 〒141-0001 東京都品川区北品川6丁目7番35号 Tokyo (JP). 国際調査報告書

[続葉有]

(54) Title: INFORMATION PROCESSING METHOD AND PROGRAM AND RECORDING MEDIUM FOR IMPLEMENTING THE METHOD

(54) 発明の名称: 情報処理方法とその方法を実現するプログラム及び記録媒体



(57) Abstract: An information processing method is characterized in that, in response to an instruction from a host CPU (411), one of CPUs (103) and (104) loads common code and instruction code defined to be executed in the CPU from an external memory (110) to an internal memory (101), in that the other CPU loads instruction code defined to be executed in the CPU from the external memory (110) to the internal memory (101), and in that each CPU executes the instruction code loaded into the internal memory (101) for execution by the CPU and executes, as required, the common code loaded into the internal memory (101).

(57) 要約: ホストCPU 411の指示により、いずれか一つのCPU 103, 104が共通コードと自己において実行するよう定められた命令コードとを外部メモリ110から内部メモリ101へロードすると共に、他のCPUが自己において実行するよう定められた命令コードを外部メモリ110から内部メモリ101へロ

[続葉有]

WO 2004/017200 A1



2文字コード及び他の略語については、定期発行される各PCTガゼットの巻頭に掲載されている「コードと略語のガイダンスノート」を参照。

ードし、各々のCPUが、内部メモリ101にロードされた自己において実行するよう定められた命令コードを実行すると共に、内部メモリ101にロードされた共通コードを必要に応じて実行することを特徴とする情報処理方法を提供する。

明 細 書

情報処理方法とその方法を実現するプログラム及び記録媒体

5 技術分野

本発明は情報処理方法とその方法を実現するためのプログラム、及び該プログラムを記録した記録媒体に関するものである。

背景技術

10 近年においては、一つの半導体チップ上にCPU（中央演算処理装置）やメモリが搭載されたシステムオンチップ（以下、単に「SOC」ともいう）が開発されてきている。このようなSOCは、CPUとメモリとの間におけるバス幅が広く取れるという利点を有し、構成要素としてシステムに組み込まれる。ここでSOCにおいては、該チップの大きさに
15 応じて混載できるメモリの容量に限度があるため、混載されたメモリを効率的に使用することが重要とされる。

一方、近年における音楽配信や携帯オーディオ機器に使用されている音声圧縮方式（コーデック-Codec）には、MPEG1 Audio、MPEG2 Audio等多くの種類が存在する。このとき、音声データの圧縮・伸長を実行するシステムを複数のCPU（マルチプロセッサ）により構成することによって負荷を分散し、一つのCPUでは時間のかかる処理を高速処理することができる。すなわち例えば、コーデック毎にCPUを割り当てることにより、第1のCPUによりデコードしたデータを同時に第2のCPUでエンコードするトランスコーディング動作や、異なるコーデック
20
25 で並列的にエンコードする動作を実現することができる。

図5は、従来の情報処理システムの構成を示すブロック図である。図

5 5 に示されるように、従来の情報処理システムはバス 3 と、バス 3 により相互接続されるチップ 1 と外部メモリ 110 とホスト CPU 111 及びサーバ 120 を備える。そして、チップ 1 には内部メモリ 101 と、外部メモリ 110 から直接内部メモリ 101 へ実行可能コードやデータを転送する DMA (Direct Memory Access) コントローラ 102、第 1 CPU 103、第 2 CPU 104、及びブート用メモリ 105 を含む。なお、チップ 1 内に形成された内部メモリ 101 と DMA (Direct Memory Access) コントローラ 102、第 1 CPU 103、第 2 CPU 104、及びブート用メモリ 105 は、チップ 1 内に形成されたバスにより相互接続される。

ここで、上記のような構成を有するチップ 1 は、相互に独立して動作すると共に、内部メモリ 101 を共有する複数の CPU を備えるため、「粗結合マルチプロセッサ」と呼ばれる。

上記のような構成を有する情報処理システムでは、まずホスト CPU 111 の指示により第 1 CPU 103 用及び第 2 CPU 104 用のブートストラップがブート用メモリ 105 に格納される。そして、第 1 CPU 103 及び第 2 CPU 104 が、上記ブートストラップに応じて外部メモリ 110 又はネットワーク上のサーバ 120 から DMA コントローラ 102 を使用して実行可能コードを内部メモリ 101 へダウンロードし、該システムを起動する。

一方、上記実行可能コードは以下のように作成される。図 6 に示されるように、チップ 1 内に設けられた CPU 毎に作成されたプログラム(第 1 CPU 用プログラム及び第 2 CPU 用プログラム) と、複数の CPU により共用されるプログラム(共通ライブラリプログラム) とをコンパイルさせることにより、各プログラムに対応したオブジェクトコード(CPU 0 用オブジェクトコード、CPU 1 用オブジェクトコード、共通ラ

イブラリオブジェクトコード) が生成される。

次に、これらのオブジェクトコードは、内部メモリ 101 内における配置先を指定する先頭アドレスを含んだリンク情報 505 とリンクされ、実行可能コードが生成される。従って、生成された実行可能コード 506 は、命令とデータ、及び内部メモリ 101 への配置先アドレスを記述するものとされる。なお、図 6 においては、第 1 CPU に対しコーデック A においてエンコード動作を実現させ、第 2 CPU に対しコーデック B においてデコード動作を実現させるための実行可能コード 506 が例示される。

そして、後述するように該実行可能コード 506 は内部メモリ 101 にロードされる。

ここで、該情報システムの OS (Operating System) がダイナミックライブラリやリンク機能を有し、あるいはハードウェア的に仮想アドレスをサポートするものである場合には、一般的にプログラムのロード時に実行可能コードのアドレスを変更することができるものの、上記のような機能を持たない OS が搭載されたシステム、または OS が搭載されていないシステムに該チップ 1 が組み込まれるような場合には実行可能コード作成時にアドレスが固定され、動的にコードのロード先を切り替えることができない。

従って、複数のコーデックにより CPU を動作させるためには、想定される全パターンのコードを内部メモリ 101 等に保持しておく必要がある。このとき、使用したいコーデックが多数あって内部メモリ 101 内に該コードが納まらない場合には、該実行可能コードを外部メモリ 110 やサーバ 120 等に保持しておき、必要に応じたダウンロードを実行してコーデックの種類や動作を切り替えることができる。

ただし、図 6 に示されるように、従来の実行可能コード 506 内には

第1CPU用のコードと第2CPU用のコードとがまとめられているため、第1CPU103あるいは第2CPU104のいずれか一方の動作のみを切り替えたいような場合には、実行可能コード506全体を内部メモリ101にロードし直す必要がある。

5 ここで、図7及び図8を参照して、従来の情報処理システムにおける該動作の切り替えを説明する。なお、図7においては外部メモリ110に第1から第4の命令コード212～215が予め格納され、最初に第1命令コード212が内部メモリ101にロードされた場合が示される。上記において第2命令コード213は第1CPU103に対してコーデックAによりエンコード動作させ、第2CPU104に対してコーデックDによりデコード動作させるコードを含み、第3命令コード214は第1CPU103に対してコーデックCによりエンコード動作させ、第2CPU104に対してコーデックBによりデコード動作させるコードを含み、第4命令コード215は第1CPU103に対してコーデックCによりエンコード動作させ、第2CPU104に対してコーデックDによりデコード動作させるコードを含むものとされる。

図8を参照して、図7に示された第1及び第2のCPU103, 104の動作を説明する。まずステップS1においてホストCPU111が第1CPU103をリセットし、ステップS2においてホストCPU111がブート用メモリ105にブートストラップを書き込む。次に、ステップS3において、ホストCPU111が第1CPU103のリセット状態を解除する。そして、ステップS4において、第1CPU103はブート用メモリ105に書き込まれたブートストラップを実行し、ステップS5においてDMAコントローラ102を用いて外部メモリ110から内部メモリ101へ例えば第1命令コード212をDMA転送する。

ステップS6では、第1CPU103が上記転送の終了を確認した後
に第2CPU104をリセットし、さらに該リセット状態を解除するこ
とにより第2CPU104を起動する。ステップS7では、第1CPU
103は内部メモリ101に格納された第1CPU103用の命令コード
5 ドを実行する。

これより、ステップS8において第1CPU103はコーデックAの
エンコーダとして動作すると共に、ステップS9において第2CPU1
04は内部メモリ101に格納された第2CPU104用の命令コード
を実行することによってコーデックBのデコーダとして動作する。

10 このとき上記のように、第1CPU用の命令コードと第2CPU用の
命令コードとが一つの命令コードとしてまとめられていることから、例
えば第1CPU103をコーデックCのエンコーダとして動作させたい
場合には、たとえ第2CPU104の機能を変更する必要がない場合で
あっても、内部メモリ101にロードされた第1命令コード212全体
15 を第3命令コード214に入れ替える必要がある。

以上より、上記のような従来の情報処理システムにおいては、以下の
ような問題がある。まず、第1CPU103向けの命令と第2CPU1
04向けの命令をまとめてコンパイルするため、実行可能コードを構成
する命令の組み合わせが固定的となってしまう。このため、複数のCP
20 Uを複数のコーデックにおいて動作させるためには、各動作状態に応じ
たコンパイル済みコードを予め外部メモリ110（あるいはネットワー
ク上のサーバ120）に保持しておく必要がある。

また、上記のように第1CPU103向けの命令と第2CPU104
向けの命令とにより一つの実行可能コードが構成されるため、実行可能
25 コードのサイズが大きくなる。これより、入れ替えるべき内部メモリ1
01内のコードサイズも大きなものとなるため、コード入れ替え時間が

大きなものとなる。

さらに、第1CPU103向けの命令と第2CPU104向けの命令とにより一つの実行可能コードが構成されることから、上記のように例えば第1CPU103の動作のみを変更したい場合でも、第2CPU104の動作も中断させなければならない。すなわち例えば、第2CPU104によりコーデックBの下でデコードした結果を、第1CPU103によりコーデックAの下でエンコードするトランスコーディング動作中においては、第1CPU103の動作のみを変更することはできず、第2CPU104のデコードも中断させなくてはならない。

10 本発明は、上記のような問題を解消するためになされたもので、複数のCPUを有する情報処理システムにおいて、該システムにおいて必要とされる記憶容量を低減できると共に処理速度を高速化し、他のCPUの動作に影響を与えることなく各CPUの機能を容易に変更することのできる情報処理方法と、その方法を実現するプログラム及び該プログラムを記録した記録媒体を提供することを目的とする。

発明の開示

本発明の目的は、複数の中央演算処理装置と内部記憶手段とを含むプロセッサと、複数の中央演算処理装置において共通して実行される共通コード及び予め定められたいずれか一つの中央演算処理装置において実行される命令コードが格納された外部記憶手段と、ホスト演算手段とがバスにより相互接続されたシステムにおいて実現される情報処理方法であって、ホスト演算手段の指示により、いずれか一つの中央演算処理装置が共通コードと自己において実行するよう定められた命令コードとを外部記憶手段から内部記憶手段へロードすると共に、他の中央演算処理装置が自己において実行するよう定められた命令コードを外部記憶手段

から内部記憶手段へロードするステップと、各々の中央演算処理装置が、内部記憶手段にロードされた共通コードと自己において実行するよう定められた命令コードとをそれぞれ実行するステップとを有することを特徴とする情報処理方法、あるいは該方法を実現するためのプログラム若しくは該プログラムを記録した記録媒体を提供することにより達成される。

このような手段によれば、各々の中央演算処理装置が自己において実行するよう定められた命令コードを内部記憶手段へロードして実行するため、外部記憶手段へ格納すべき共通コード及び命令コードを効率化することができ、外部記憶手段に必要とされる記憶容量と、外部記憶手段から内部記憶手段にロードすべき情報量とを低減することができる。

また、上記において、ホスト演算手段が選択的に中央演算処理装置をリセットするステップと、ホスト演算手段の指示により、選択的にリセットされた中央演算処理装置が自己において実行するよう定められた命令コードを外部記憶手段から内部記憶手段へ新たにロードするステップと、リセットされた中央演算処理装置が、内部記憶手段に新たにロードされた自己において実行するよう定められた命令コードを実行するステップとをさらに有する情報処理方法、あるいは該方法を実現するためのプログラム若しくは該プログラムを記録した記録媒体によれば、他の中央演算処理装置の動作に影響を与えることなく、選択された中央演算処理装置の機能を容易に変更することができる。

図面の簡単な説明

図1は、本発明の実施の形態に係る情報処理を説明する図である。

図2は、本発明の実施の形態に係る実行可能コードを説明する図である。

図 3 は、図 1 に示された第 1 C P U 及び第 2 C P U の動作を示すフローチャートである。

図 4 は、図 1 に示された第 1 C P U に対する機能変更方法の具体例を示すフローチャートである。

5 図 5 は、従来の情報処理システムの構成を示すブロック図である。

図 6 は、従来の実行可能コードを説明する図である。

図 7 は、図 5 に示された情報処理システムの動作を説明する図である。

図 8 は、図 5 に示された第 1 C P U 及び第 2 C P U の動作を示すフローチャートである。

10

発明を実施するための最良の形態

以下において、本発明の実施の形態を図面を参照しつつ詳しく説明する。なお、図中同一符号は同一または相当部分を示す。

図 1 は、本発明の実施の形態に係る情報処理を説明する図である。図
15 1 に示されるように、本実施の形態に係る情報処理は、バス 3 により相互接続されたホスト C P U 4 1 1 とチップ 1、及び外部メモリ 1 1 0 により構成された情報処理システムにおいて実現される。ここで、チップ 1 には内部バスにより相互接続された D M A コントローラ 1 0 2 と第 1 C P U 1 0 3、第 2 C P U 1 0 4、ブート用メモリ 1 0 5、及び内部メモリ 1 0 1 が設けられる。
20

なお、上記において外部メモリ 1 1 0 の替わりに、あるいは外部メモリ 1 1 0 と共に、バス 3 に接続されたネットワーク上のサーバを備えた情報システムにおいても本実施の形態に係る情報処理を実現することができる。

25 以下において、図 2 を参照しつつ、上記情報処理システムにおいて実行される本実施の形態に係る実行可能コードについて説明する。本実施

の形態においては、上記第1 CPU 103と第2 CPU 104が独立して動作できるように、各CPUで実行されるオブジェクトコードにそれぞれ共通オブジェクトコードがリンクされ、CPU毎の実行可能コードが生成される。

- 5 すなわち、図2に示されるように、第1 CPU 103にて実行される第1 CPU用プログラムがコンパイルされることにより第1 CPU用オブジェクトコードが生成され、第2 CPU 104にて実行される第2 CPU用プログラムがコンパイルされることにより第2 CPU用オブジェクトコードが生成される。また、第1及び第2 CPU 103, 104にて
10 て実行される共通ライブラリプログラムがコンパイルされることにより共通ライブラリオブジェクトコードが生成される。

- 次に、内部メモリ101内における共通オブジェクトコードの格納先を示す共通ライブラリ先頭アドレスと、内部メモリ101内における第1 CPUオブジェクトコードの格納先を示す第1 CPU先頭アドレスと
15 を記述したリンク情報302を上記第1 CPU用オブジェクトコードと上記共通ライブラリオブジェクトコードにリンクさせて実行可能コード305を生成すると共に、上記と同じ共通ライブラリ先頭アドレスと、内部メモリ101内における第2 CPUオブジェクトコードの格納先を示す第2 CPU先頭アドレスとを記述したリンク情報304を上記第2
20 CPU用オブジェクトコードと上記共通ライブラリオブジェクトコードにリンクさせて実行可能コード306を生成する。

なお、上記の各先頭アドレスは、対応する各オブジェクトコードが内部メモリ101に格納される際に必要とされる記憶容量を考慮して決定される。

- 25 また、上記において共通オブジェクトコードが記述される共通ライブラリ領域においては読み出し専用のテキスト命令が作成され、第1 CPU

U 1 0 3 用あるいは第 2 C P U 1 0 4 用のオブジェクトコードが記述される領域においては読み出し専用のテキスト命令と読み書き可能なデータ領域とが作成される。

ここで、オブジェクトコード 3 0 1 及びオブジェクトコード 3 0 3 に
5 含まれる共通オブジェクトコードは全く同じものとされ、リンク情報 3 0 2, 3 0 4 に含まれる該共通オブジェクトコードに対応した先頭アドレスも同じアドレスとされる。従って、上記実行可能コード 3 0 5, 3 0 6 が共に内部メモリ 1 0 1 へロードされた場合には、図 2 に示されるように共通オブジェクトコードが共有される。

10 これより、本実施の形態に係る情報処理においては、後述するように第 1 C P U 1 0 3 と第 2 C P U 1 0 4 とにおいて一つの共通オブジェクトコードが共用されるため、必要とされる内部メモリ 1 0 1 の容量が低減される。

次に、図 1 を参照しつつ、上記情報処理システムにおいて実現される
15 上記実行可能コード 3 0 5, 3 0 6 を用いた情報処理方法を説明する。

図 1 に示されるように、外部メモリ 1 1 0 には予め共通ライブラリ 4 1 2 と第 1 C P U コード群 C G 0、及び第 2 C P U コード群 C G 1 の 3 種類の実行可能ファイルが格納される。ここで、第 1 C P U コード群 C G 0 には第 1 C P U 1 0 3 をコーデック A のエンコーダとして動作させる命令コード 4 1 3 と第 1 C P U 1 0 3 をコーデック C のエンコーダとして動作させる命令コード 4 1 5 とが含まれる。また、第 2 C P U コード群 C G 1 には第 2 C P U 1 0 4 をコーデック B のデコーダとして動作させる命令コード 4 1 4 と第 2 C P U 1 0 3 をコーデック D のデコーダとして動作させる命令コード 4 1 6 とが含まれる。
20

25 なお、共通ライブラリ 4 1 2 は第 1 C P U 1 0 3 と第 2 C P U 1 0 4 とにおいて共用される命令と、該命令の内部メモリ 1 0 1 内における配

置先を指定するアドレスとを含み、先頭アドレスが予め決められる。また、命令コード 413, 415 は、第 1 CPU 103 に対する命令とデータ及びそれらの内部メモリ 101 内における配置先を示すアドレスを含む。同様に命令コード 414, 416 は、第 2 CPU 104 に対する命令とデータ及びそれらの内部メモリ 101 内における配置先を示すアドレスを含む。

そして、初回起動時には、共通ライブラリ 412 と第 1 CPU 用の命令コード 413 及び第 2 CPU 用の命令コード 414 が、ブートストラップを使って内部メモリ 101 にロードされる。このとき、共通ライブラリ 412 は第 1 CPU 103 と第 2 CPU 104 とにより共用されるので、一度だけ内部メモリ 101 にロードされれば足りる。

また、本実施の形態においては、内部メモリ 101 の記憶領域が第 1 領域 R1 と第 2 領域 R2 及び第 3 領域 R3 に予め分割され、上記共通ライブラリ 412 は第 1 領域 R1 に格納され、第 1 CPU 用の命令コード 413, 415 は第 2 領域 R2 に格納され、第 2 CPU 用の命令コード 414, 416 は第 3 領域 R3 に格納される。

以下において、図 3 を参照しつつ、本実施の形態に係る情報処理をより詳しく説明する。ステップ S1 においてホスト CPU 411 が第 1 CPU 103 をリセットし、ステップ S2 においてホスト CPU 411 が第 2 CPU 104 をリセットする。そして、ステップ S3 では、ホスト CPU 411 がブート用メモリ 105 に第 1 CPU 用のブートストラップを書き込み、ステップ S4 においてホスト CPU 411 が同じブート用メモリ 105 に第 2 CPU 用のブートストラップを書き込む。

ステップ S5 においてはホスト CPU 411 が第 1 CPU 103 のリセット状態を解除し、ステップ S6 においてはホスト CPU 411 が第 2 CPU 104 のリセット状態を解除する。

ステップS 7では、ホストCPU 411の指示により第1CPU 103がブート用メモリ105に格納された第1CPU用のブートストラップを実行し、第1CPU 103がDMAコントローラ102を用いて外部メモリ110から内部メモリ101へ共通ライブラリ412と第1CPU用の命令コード413とをDMA転送する。

次に、ステップS 8においては、ホストCPU 411の指示により第2CPU 104がブート用メモリ105に格納された第2CPU用のブートストラップを実行し、第2CPU 104がDMAコントローラ102を用いて外部メモリ110から内部メモリ101へ第2CPU用の命令コード414をDMA転送する。

そして、ステップS 9において、第1CPU 103は命令コード413の該DMA転送が終了したことを確認した後に、内部メモリ101に格納された第1CPU用の命令コード413を実行する。また、ステップS 10において、第2CPU 104は命令コード414の該DMA転送が終了したことを確認した後に、内部メモリ101に格納された第2CPU用の命令コード414を実行する。

なお、上記ステップS 9及びステップS 10において、第1CPU 103と第2CPU 104は必要に応じて内部メモリ101に格納された共通ライブラリ412を読み出して実行する。

これより、ステップS 11において第1CPU 103はコーデックAのエンコーダとして動作を開始し、ステップS 12において第2CPU 104はコーデックBのデコーダとして動作を開始する。

次に、図1及び図4を参照して、第1CPU 103あるいは第2CPU 104の機能を変更する場合の情報処理方法を説明する。本実施の形態に係る情報処理方法においては、少なくとも第1CPU 103又は第2CPU 104のいずれか一方の機能を変更する場合には、内部メモリ

1 0 1 にロードされている第 1 C P U 用あるいは第 2 C P U 用の命令コードを入れ替える必要がある。

従って、第 1 C P U 1 0 3 の機能を変更する場合には、第 1 C P U コード群 C G 0 に含まれた第 1 C P U 用の他の命令コードを内部メモリ 1 0 1 にロードし、第 2 C P U 1 0 4 の機能を変更する場合には、第 2 C P U コード群 C G 1 に含まれた第 2 C P U 用の他の命令コードを内部メモリ 1 0 1 にロードして実行する。

このとき、各 C P U は共通ライブラリ 4 1 2 に記述されたコードを読み取ると共に、内部メモリ 1 0 1 における該 C P U 専用のデータ領域においてデータの読み書きを実行しているため、上記のような命令コードの入れ替えは他の C P U の動作に影響を与えることがない。

以下において、図 4 を参照しつつ、図 1 に示された第 1 C P U 1 0 3 に対する機能変更方法の具体例を詳しく説明する。

まずステップ S 1 において、上記のように第 1 C P U 1 0 3 はコーデック A でデータをエンコードし、第 2 C P U 1 0 4 は上記のように第 1 C P U 1 0 3 の動作によりエンコードされたデータをコーデック B でデコードしているものとする。

次に、ステップ S 2 においてホスト C P U 4 1 1 が第 1 C P U 1 0 3 をリセットする。そして、ステップ S 3 において、ホスト C P U 4 1 1 がブート用メモリ 1 0 5 に第 1 C P U 用のブートストラップを書き込む。

ステップ S 4 において、ホスト C P U 4 1 1 が第 1 C P U 1 0 3 のリセット状態を解除する。さらに、ステップ S 5 において第 1 C P U 1 0 3 はブート用メモリ 1 0 5 に書き込まれたブートストラップを実行し、第 1 C P U 1 0 3 は D M A コントローラ 1 0 2 を用いて外部メモリ 1 1 0 から内部メモリ 1 0 1 へ第 1 C P U 用の命令コード 4 1 5 のみを D M A 転送する。

次に、ステップS 6において、第1CPU103は命令コード415の該DMA転送が終了したことを確認した後に、内部メモリ101に格納された命令コード415を実行する。これより、第1CPU103はその機能が変更され、ステップS 7においてコーデックCのエンコーダとして動作する。

以上より、本発明の実施の形態に係る情報処理方法においては、外部メモリ110あるいはサーバ120に格納される共通ライブラリ412が第1CPU103と第2CPU104とにおいて共用される。また、各CPUにより実行されるオブジェクトコードが独立して外部メモリ110等に格納され、該オブジェクトコードを単位として内部メモリ101へロードされる。

これより、本発明の実施の形態に係る情報処理方法によれば、他のCPUの動作に影響を与えることなく各CPUの機能を変更することができると共に、外部メモリ110等に保持すべきコードのサイズを低減することができる。

また、本発明の実施の形態に係る情報処理方法によれば、上記機能の変更に際して入れ替えるべき内部メモリ101内の命令コードのサイズが低減されるため、高速にCPUの機能を変更することができる。

なお、上記情報処理方法はコンピュータにより実行されるプログラムにより記述でき、さらに該プログラムはフレキシブルディスクやCD-ROM等の記録媒体に記録することができる。従って、該プログラムをコンピュータにより実行することにより、本実施の形態に係る情報処理方法を容易に実現することができる。

以上より、本発明の実施の形態に係る情報処理方法によれば、複数のコーデックによる音声圧縮展開プログラムを外部メモリ110に効率的に保持することができると共に、あるCPUに実行させるプログラム(命

令コード)を他のCPUの動作に影響を与えることなく入れ替えることができる。

産業上の利用可能性

- 5 本発明に係る情報処理方法あるいは該方法を実現するためのプログラム若しくは該プログラムを記録した記録媒体によれば、外部記憶手段に必要とされる記憶容量と、外部記憶手段から内部記憶手段にロードすべき情報量とを低減することができるため、該システム規模及びコストを低減し、該システムにおける情報処理速度を高めることができる。
- 10 また、本発明に係る情報処理方法あるいは該方法を実現するためのプログラム若しくは該プログラムを記録した記録媒体によれば、他の中央演算処理装置の動作に影響を与えることなく、選択された中央演算処理装置の機能を容易に変更することができるため、動作の信頼性を担保しつつ該システムの汎用性を高めることができる。

請求の範囲

1. 複数の中央演算処理装置と内部記憶手段とを含むプロセッサと、前記複数の中央演算処理装置において共通して実行される共通コード及び

- 5 予め定められたいずれか一つの前記中央演算処理装置において実行される命令コードが格納された外部記憶手段と、ホスト演算手段とがバスにより相互接続されたシステムにおいて実現される情報処理方法であって、
前記ホスト演算手段の指示により、いずれか一つの前記中央演算処理装置が前記共通コードと自己において実行するよう定められた前記命令
10 コードとを前記外部記憶手段から前記内部記憶手段へロードすると共に、他の前記中央演算処理装置が自己において実行するよう定められた前記命令コードを前記外部記憶手段から前記内部記憶手段へロードするステップと、

- 各々の前記中央演算処理装置が、前記内部記憶手段にロードされた前
15 記共通コードと前記自己において実行するよう定められた命令コードとをそれぞれ実行するステップとを有することを特徴とする情報処理方法。

2. 前記ホスト演算手段が選択的に前記中央演算処理装置をリセットするステップと、

- 20 前記ホスト演算手段の指示により、選択的にリセットされた前記中央演算処理装置が前記自己において実行するよう定められた命令コードを前記外部記憶手段から前記内部記憶手段へ新たにロードするステップと、
リセットされた前記中央演算処理装置が、前記内部記憶手段に新たにロードされた前記自己において実行するよう定められた命令コードを実
25 行するステップとをさらに有する請求項 1 に記載の情報処理方法。

3. 複数の中央演算処理装置と内部記憶手段とブート用記憶手段とダイレクトメモリアクセスコントローラを含むプロセッサと、前記複数の中央演算処理装置において共通して実行される共通コード及び予め定められたいずれか一つの前記中央演算処理装置において実行される命令コードが格納された外部記憶手段と、ホスト演算手段とがバスにより相互接続されたシステムにおいて実現される情報処理方法であって、

前記ホスト演算手段が前記中央演算処理装置を選択的にリセットするステップと、

前記ホスト演算手段が、リセットされた前記中央演算処理装置により実行される起動コードを前記ブート用記憶手段へ書き込むステップと、

前記ホスト演算手段が、前記リセットされた中央演算処理装置のリセット状態を解除するステップと、

リセット状態が解除されたいずれか一つの前記中央演算処理装置が前記ブート用記憶手段に書き込まれた前記起動コードを実行することにより、

前記共通コードと自己において実行するよう定められた前記命令コードとを前記ダイレクトメモリアクセスコントローラを用いて前記外部記憶手段から前記内部記憶手段へロードすると共に、リセット状態が解除された他の前記中央演算処理装置が前記ブート用記憶手段に書き込まれた前記起動コードを実行することにより、自己において実行するよう

定められた前記命令コードを前記ダイレクトメモリアクセスコントローラを用いて前記外部記憶手段から前記内部記憶手段へロードするステップと、

リセット状態が解除された各々の前記中央演算処理装置が、前記内部記憶手段にロードされた前記共通コードと前記自己において実行するよう定められた命令コードとをそれぞれ実行するステップとを有することを特徴とする情報処理方法。

4. 前記ホスト演算手段が選択的に前記中央演算処理装置を新たにリセットするステップと、

5 前記ホスト演算手段が、新たにリセットされた前記中央演算処理装置により実行される新たな起動コードを前記ブート用記憶手段へ書き込むステップと、

前記ホスト演算手段が、前記新たにリセットされた前記中央演算処理装置のリセット状態を解除するステップと、

10 リセット状態が解除された前記中央演算処理装置が前記新たな起動コードを実行することにより、前記自己において実行するよう定められた命令コードを前記ダイレクトメモリアクセスコントローラを用いて前記外部記憶手段から前記内部記憶手段へ新たにロードするステップと、

15 前記リセット状態が解除された中央演算処理装置が、前記内部記憶手段に新たにロードされた前記自己において実行するよう定められた命令コードを実行するステップとをさらに有する請求項3に記載の情報処理方法。

5. 複数の中央演算処理装置と内部記憶手段とを含むプロセッサと、前記複数の中央演算処理装置において共通して実行される共通コード及び
20 予め定められたいずれか一つの前記中央演算処理装置において実行される命令コードが格納された外部記憶手段と、ホスト演算手段とがバスにより相互接続されたシステムにおいて実行されるプログラムであって、

25 いずれか一つの前記中央演算処理装置に対し、前記ホスト演算手段からの指示に応じて前記共通コードと自己において実行するよう定められた前記命令コードとを前記外部記憶手段から前記内部記憶手段へロードさせ、他の前記中央演算処理装置に対し、自己において実行するよう定

められた前記命令コードを前記外部記憶手段から前記内部記憶手段へロードさせ、

各々の前記中央演算処理装置に対して、前記内部記憶手段にロードされた前記共通コードと前記自己において実行するよう定められた命令コ

5 コードとをそれぞれ実行させることを特徴とするプログラム。

6. さらに、前記ホスト演算手段に対して、選択的に前記中央演算処理装置をリセットさせ、

10 選択的にリセットされた前記中央演算処理装置に対し、前記ホスト演算手段の指示により、前記自己において実行するよう定められた命令コードを前記外部記憶手段から前記内部記憶手段へ新たにロードさせ、

リセットされた前記中央演算処理装置に対して、前記内部記憶手段に新たにロードされた前記自己において実行するよう定められた命令コードを実行させる請求項5に記載のプログラム。

15

7. 複数の中央演算処理装置と内部記憶手段とブート用記憶手段とダイレクトメモリアクセスコントローラを含むプロセッサと、前記複数の中央演算処理装置において共通して実行される共通コード及び予め定められたいずれか一つの前記中央演算処理装置において実行される命令コードが格納された外部記憶手段と、ホスト演算手段とがバスにより相互接続されたシステムにおいて実行されるプログラムであって、

20

前記ホスト演算手段に対して、前記中央演算処理装置を選択的にリセットさせ、

前記ホスト演算手段に対して、リセットされた前記中央演算処理装置

25 により実行される起動コードを前記ブート用記憶手段へ書き込ませ、

前記ホスト演算手段に対して、前記リセットされた中央演算処理装置

のリセット状態を解除させ、

リセット状態が解除されたいずれか一つの前記中央演算処理装置に対して、前記ブート用記憶手段に書き込まれた前記起動コードを実行させることにより、前記共通コードと自己において実行するよう定められた
5 前記命令コードとを前記ダイレクトメモリアクセスコントローラを用いて前記外部記憶手段から前記内部記憶手段へロードさせると共に、リセット状態が解除された他の前記中央演算処理装置に対して、前記ブート用記憶手段に書き込まれた前記起動コードを実行させることにより、自己において実行するよう定められた前記命令コードを前記ダイレクトメモリアクセスコントローラを用いて前記外部記憶手段から前記内部記憶
10 手段へロードさせ、

リセット状態が解除された各々の前記中央演算処理装置に対して、前記内部記憶手段にロードされた前記共通コードと前記自己において実行するよう定められた命令コードとをそれぞれ実行させることを特徴とするプログラム。
15

8. さらに、前記ホスト演算手段に対して選択的に前記中央演算処理装置を新たにリセットさせ、

前記ホスト演算手段に対して、新たにリセットされた前記中央演算処理装置により実行される新たな起動コードを前記ブート用記憶手段へ書き込ませ、
20

前記ホスト演算手段に対して、前記新たにリセットされた中央演算処理装置のリセット状態を解除させ、

リセット状態が解除された前記中央演算処理装置に対して、前記新たな起動コードを実行させることにより、前記自己において実行するよう定められた命令コードを前記ダイレクトメモリアクセスコントローラを
25

用いて前記外部記憶手段から前記内部記憶手段へ新たにロードさせ、

前記リセット状態が解除された中央演算処理装置に対して、前記内部記憶手段に新たにロードされた前記自己において実行するよう定められた命令コードを実行させる請求項 7 に記載のプログラム。

5

9. 複数の中央演算処理装置と内部記憶手段とを含むプロセッサと、前記複数の中央演算処理装置において共通して実行される共通コード及び予め定められたいずれか一つの前記中央演算処理装置において実行される命令コードが格納された外部記憶手段と、ホスト演算手段とがバスにより相互接続されたシステムにおいて実行されるプログラムを記録した記録媒体であって、前記プログラムは、

10

いずれか一つの前記中央演算処理装置に対し、前記ホスト演算手段からの指示に応じて前記共通コードと自己において実行するよう定められた前記命令コードとを前記外部記憶手段から前記内部記憶手段へロードさせ、他の前記中央演算処理装置に対し、自己において実行するよう定められた前記命令コードを前記外部記憶手段から前記内部記憶手段へロードさせ、

15

各々の前記中央演算処理装置に対して、前記内部記憶手段にロードされた前記共通コードと前記自己において実行するよう定められた命令コードとをそれぞれ実行させることを特徴とする記録媒体。

20

10. 前記プログラムはさらに、

前記ホスト演算手段に対して、選択的に前記中央演算処理装置をリセットさせ、

25

選択的にリセットされた前記中央演算処理装置に対し、前記ホスト演算手段の指示により、前記自己において実行するよう定められた命令コ

ードを前記外部記憶手段から前記内部記憶手段へ新たにロードさせ、

リセットされた前記中央演算処理装置に対して、前記内部記憶手段に新たにロードされた前記自己において実行するよう定められた命令コードを実行させる請求項 9 に記載の記録媒体。

5

1 1. 複数の中央演算処理装置と内部記憶手段とブート用記憶手段とダイレクトメモリアクセスコントローラを含むプロセッサと、前記複数の中央演算処理装置において共通して実行される共通コード及び予め定められたいずれか一つの前記中央演算処理装置において実行される命令
10 コードが格納された外部記憶手段と、ホスト演算手段とがバスにより相互接続されたシステムにおいて実行されるプログラムを記録した記録媒体であって、前記プログラムは、

前記ホスト演算手段に対して前記中央演算処理装置を選択的にリセットさせ、

15 前記ホスト演算手段に対して、リセットされた前記中央演算処理装置により実行される起動コードを前記ブート用記憶手段へ書き込ませ、

前記ホスト演算手段に対して、前記リセットされた中央演算処理装置のリセット状態を解除させ、

リセット状態が解除されたいずれか一つの前記中央演算処理装置に対して、前記ブート用記憶手段に書き込まれた前記起動コードを実行させることにより、前記共通コードと自己において実行するよう定められた前記命令コードとを前記ダイレクトメモリアクセスコントローラを用いて前記外部記憶手段から前記内部記憶手段へロードさせると共に、リセット状態が解除された他の前記中央演算処理装置に対して、前記ブート
20 用記憶手段に書き込まれた前記起動コードを実行させることにより、自己において実行するよう定められた前記命令コードを前記ダイレクトメ

25

モリアクセスコントローラを用いて前記外部記憶手段から前記内部記憶手段へロードさせ、

リセット状態が解除された各々の前記中央演算処理装置に対して、前記内部記憶手段にロードされた前記共通コードと前記自己において実行
5 するよう定められた命令コードとをそれぞれ実行させることを特徴とする記録媒体。

1 2. 前記プログラムはさらに、

前記ホスト演算手段に対して選択的に前記中央演算処理装置を新たに
10 リセットさせ、

前記ホスト演算手段に対して、新たにリセットされた前記中央演算処理装置により実行される新たな起動コードを前記ブート用記憶手段へ書き込ませ、

前記ホスト演算手段に対して、前記新たにリセットされた中央演算処理装置のリセット状態を解除させ、
15

リセット状態が解除された前記中央演算処理装置に対して、前記新たな起動コードを実行させることにより、前記自己において実行するよう定められた命令コードを前記ダイレクトメモリアクセスコントローラを用いて前記外部記憶手段から前記内部記憶手段へ新たにロードさせ、

20 前記リセット状態が解除された中央演算処理装置に対して、前記内部記憶手段に新たにロードされた前記自己において実行するよう定められた命令コードを実行させる請求項 1 1 に記載の記録媒体。

1/8

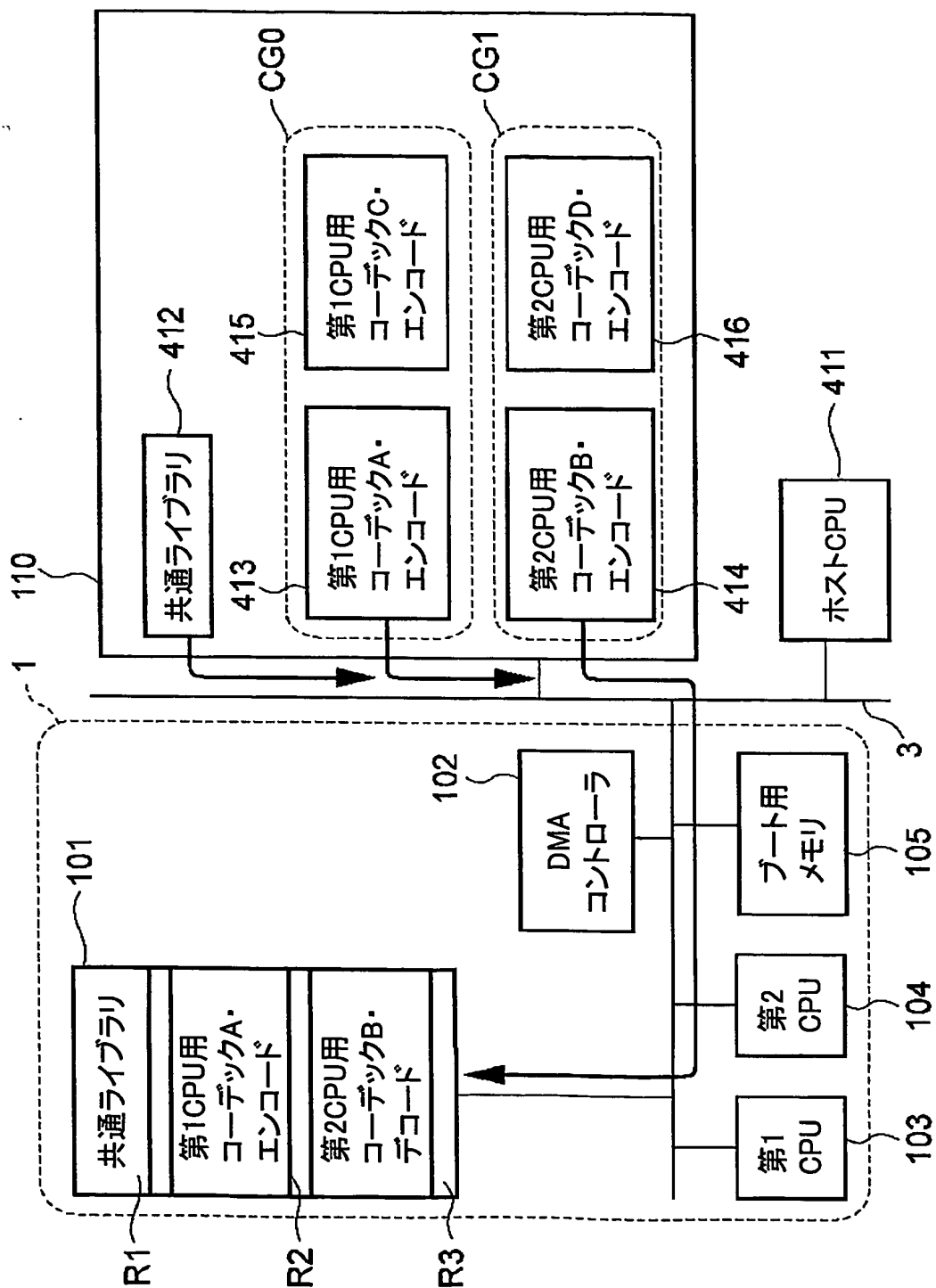


Fig.1

2/8

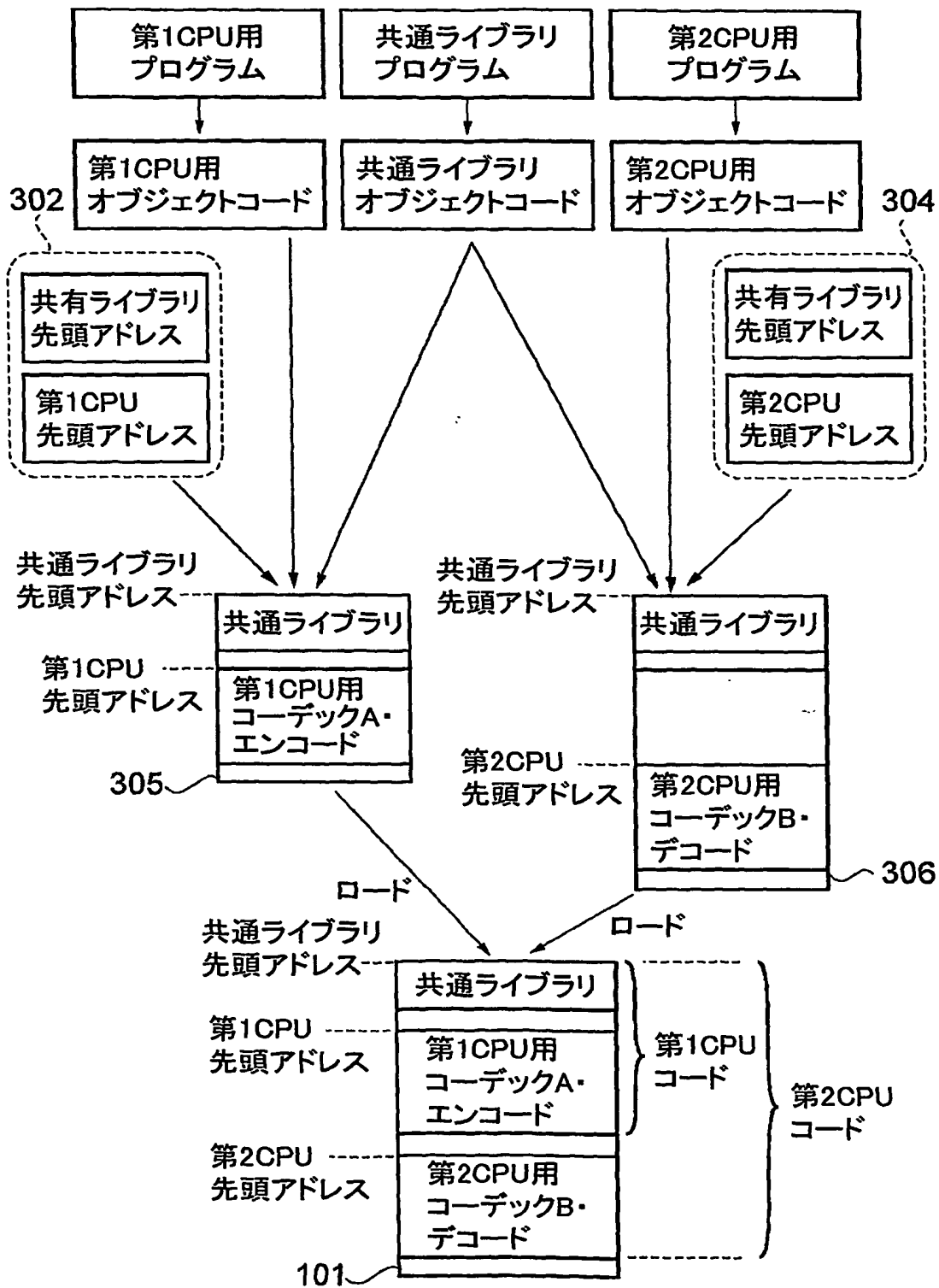


Fig.2

3/8

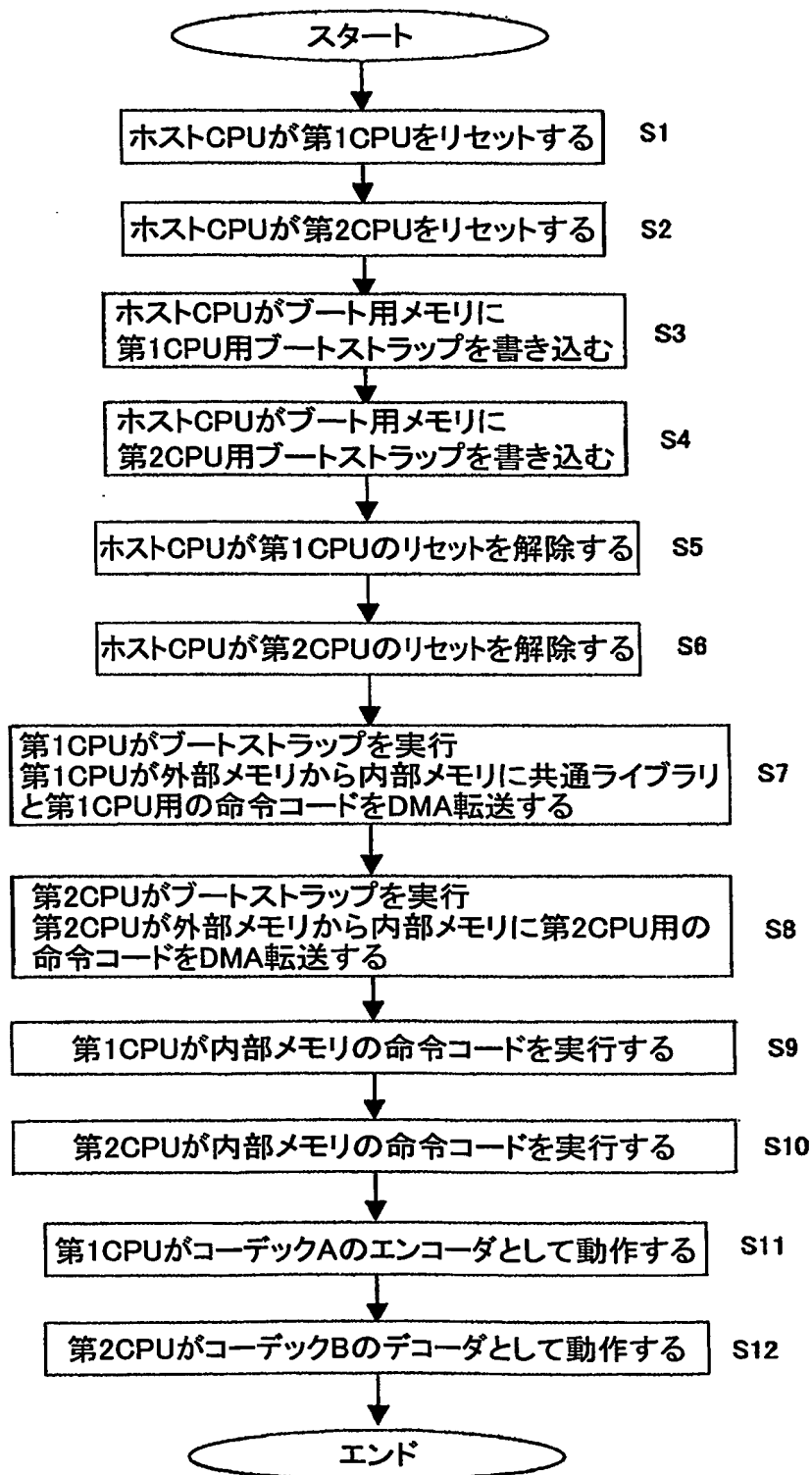


Fig.3

4/8

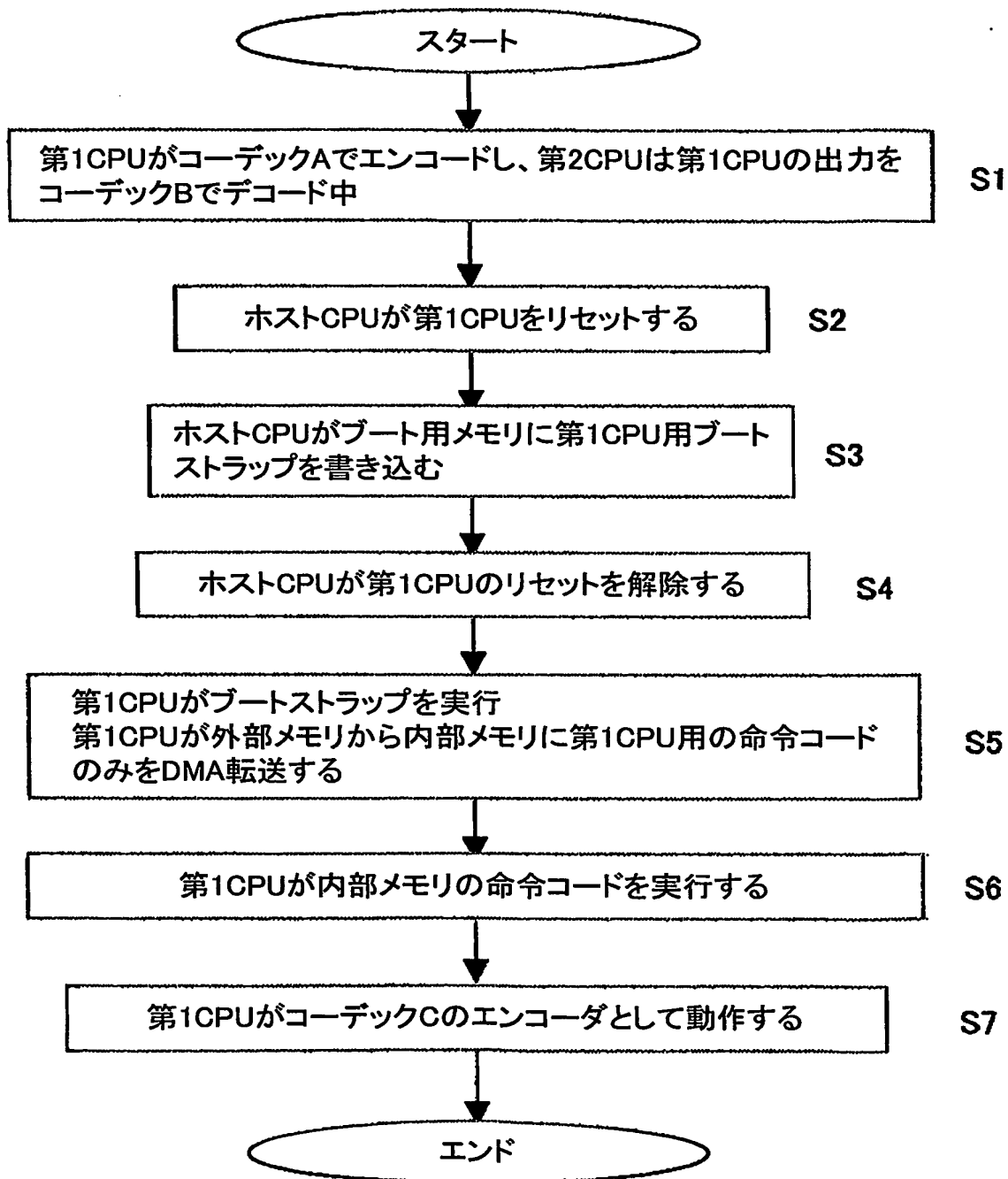


Fig.4

5/8

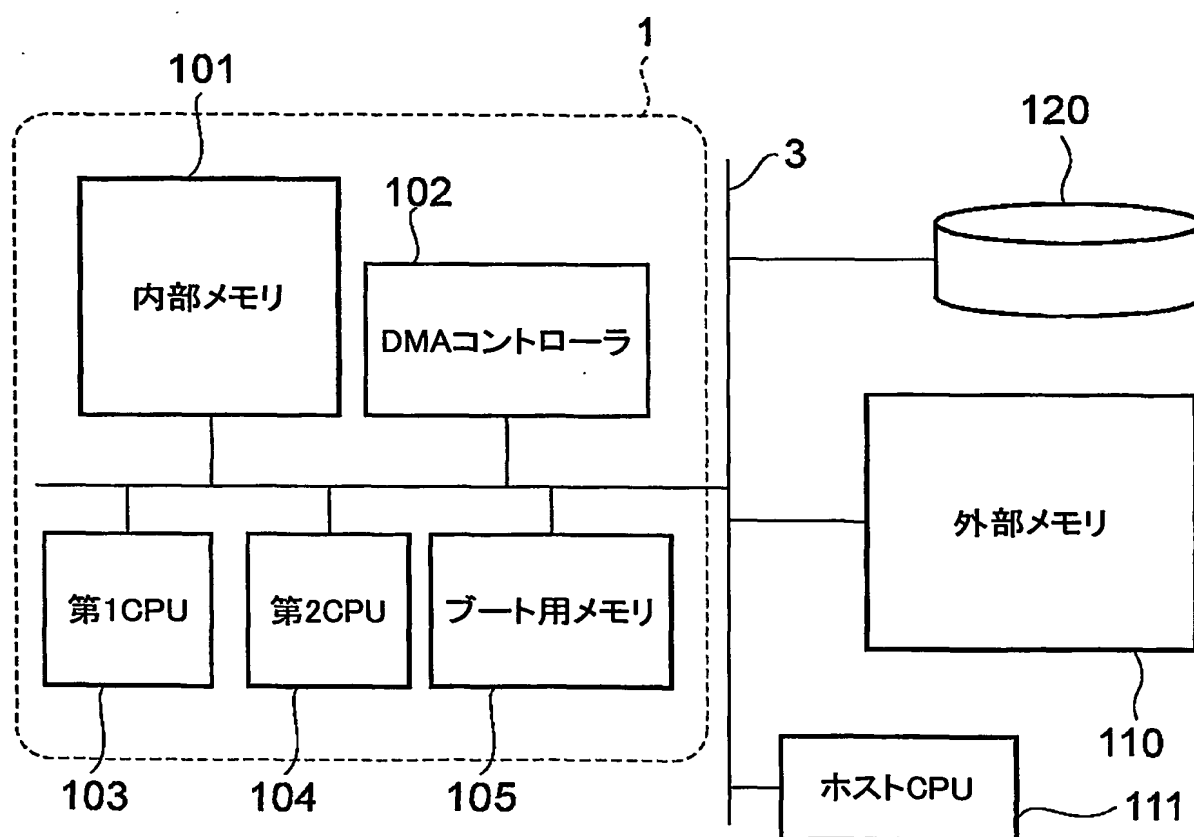


Fig.5

6/8

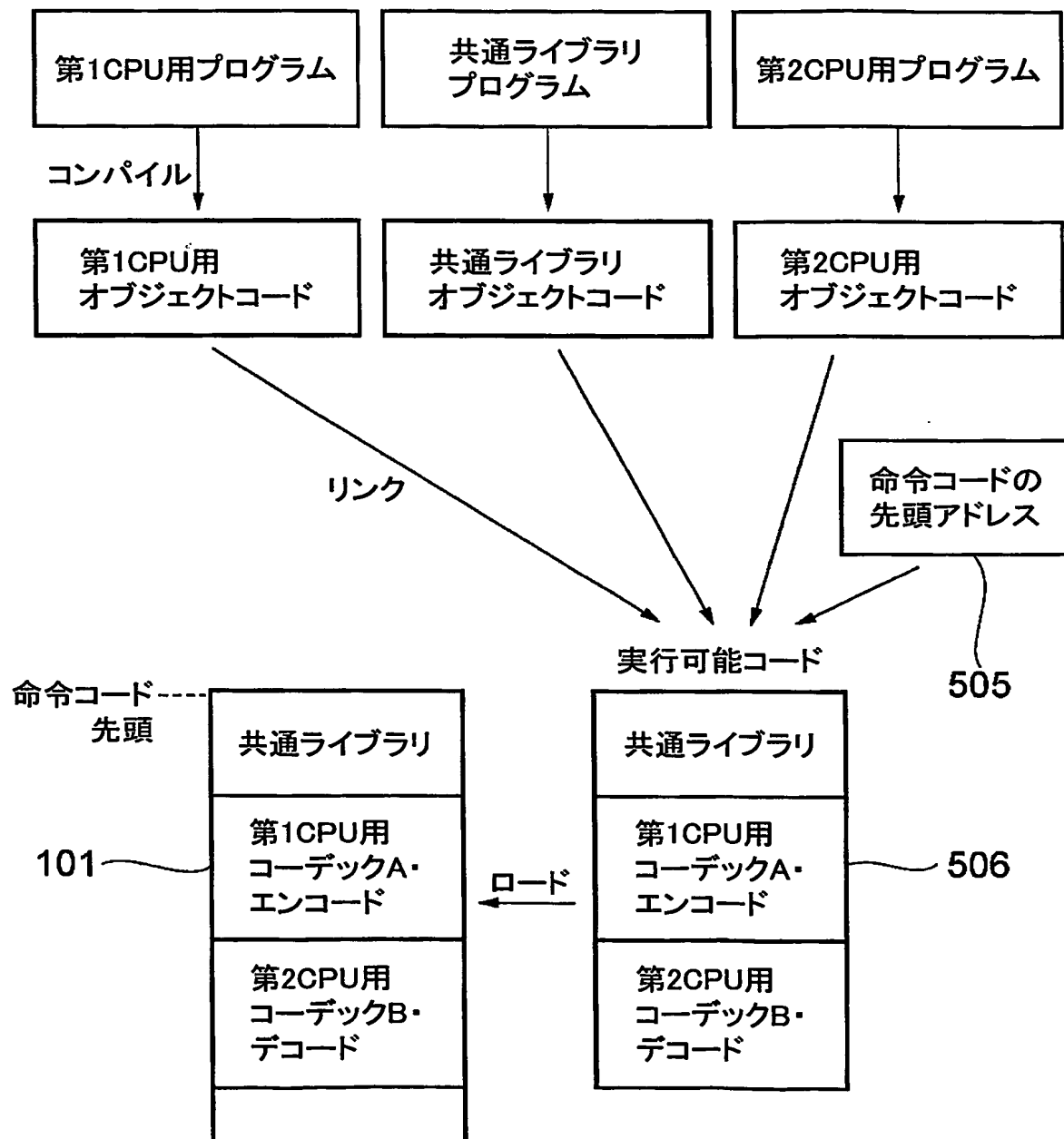


Fig.6

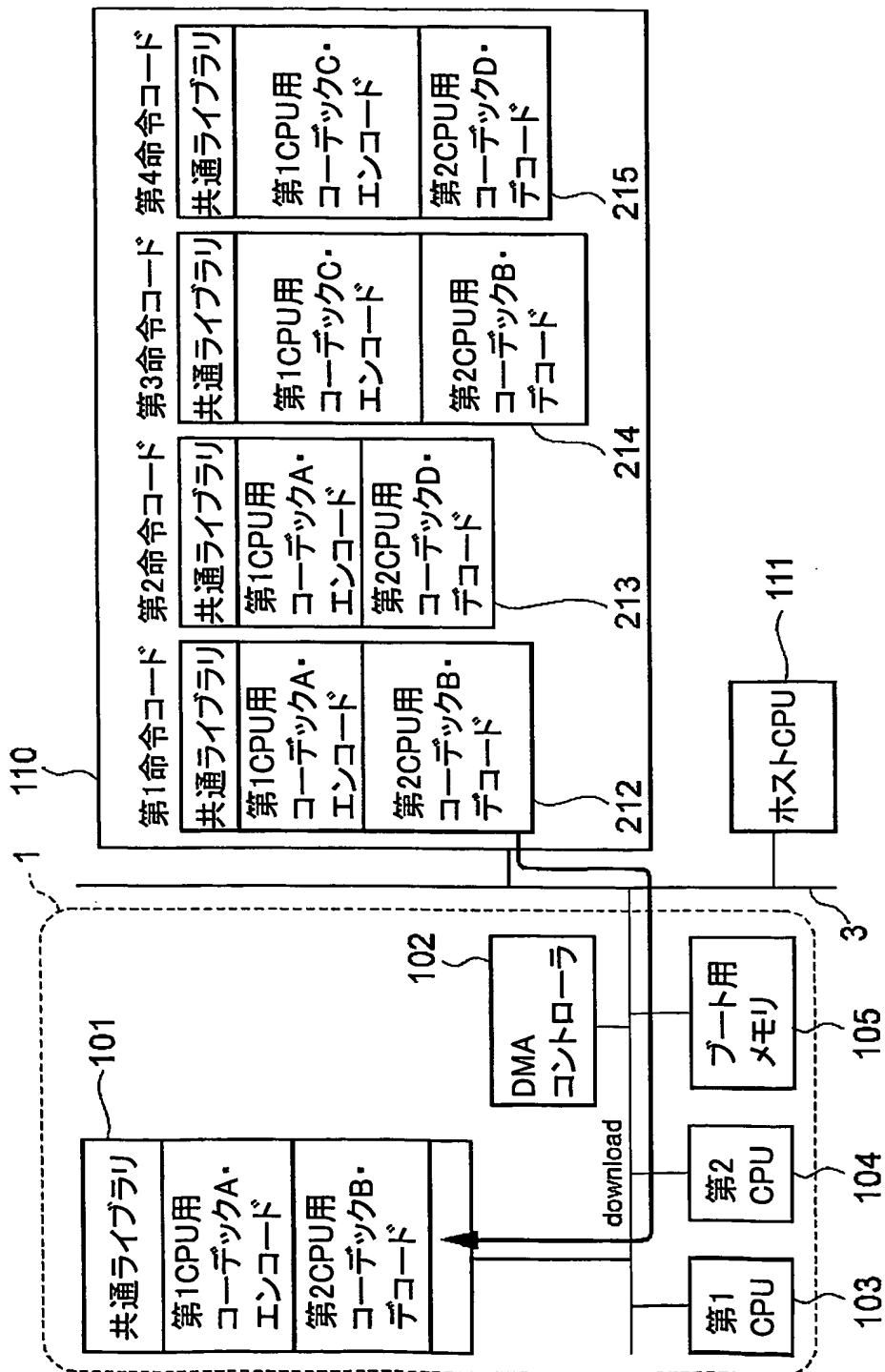


Fig.7

8/8

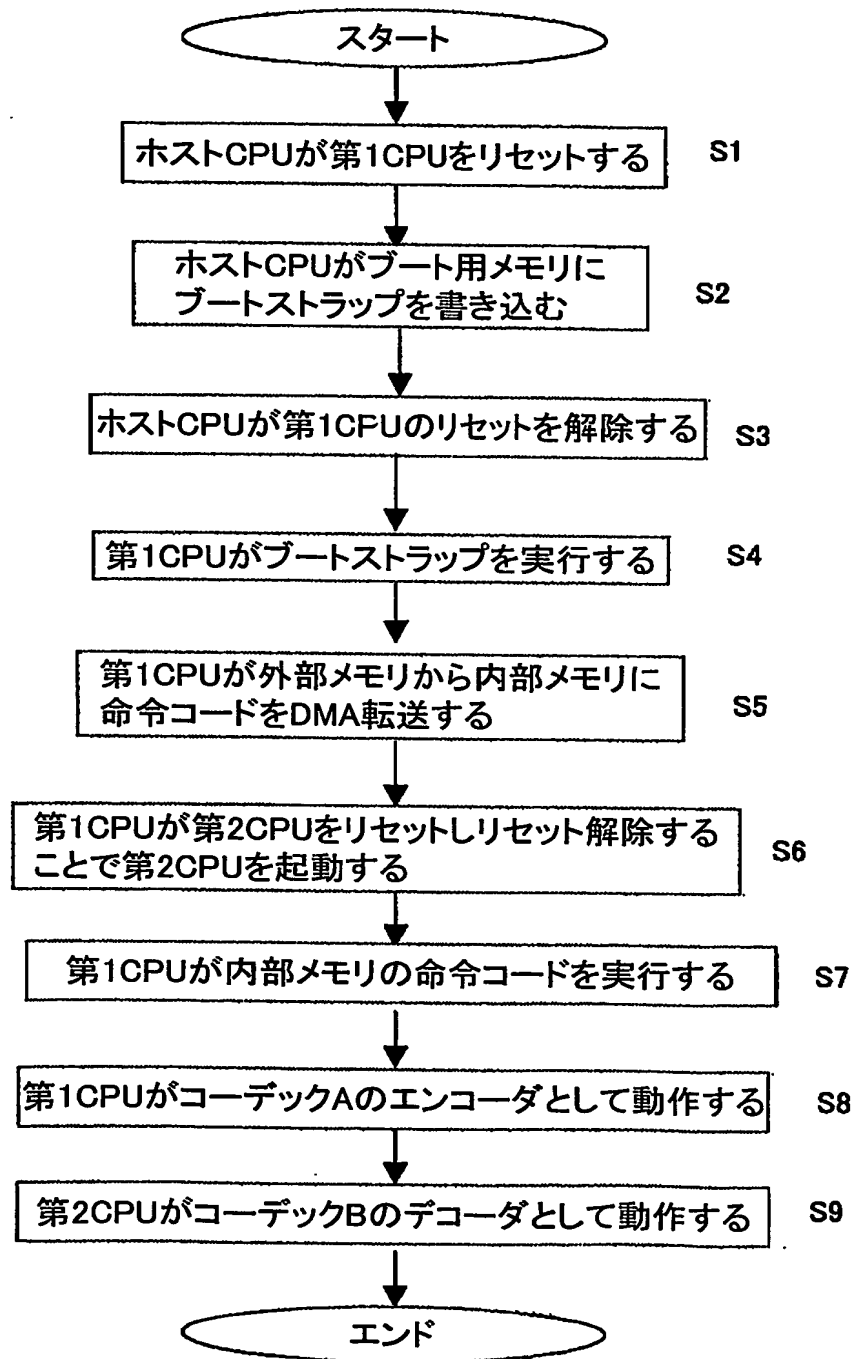


Fig.8

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP03/10409

A. CLASSIFICATION OF SUBJECT MATTER

Int.Cl⁷ G06F9/445

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

Int.Cl⁷ G06F9/445, G06F9/06, G06F15/16, G06F15/177

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho 1922-1996 Toroku Jitsuyo Shinan Koho 1994-2003

Kokai Jitsuyo Shinan Koho 1971-2003 Jitsuyo Shinan Toroku Koho 1996-2003

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

JST FILE (JOIS): Japanese, Computer Software DataBase

(Japanese Patent Office): Japanese

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 8-185384 A (NEC Corp.), 16 July, 1996 (16.07.96), Figs. 2, 3 and the explanatory descriptions there of (Family: none)	1-12
A	JP 2-064844 A (NEC Corp.), 05 March, 1990 (05.03.90), Fig. 3 and the explanatory descriptions there of (Family: none)	1-12
A	JP 2000-235495 A (Nippon Telegraph And Telephone Corp.), 29 August, 2000 (29.08.00), Fig. 3 and the explanatory descriptions there of (Family: none)	1-12

☒ Further documents are listed in the continuation of Box C.

☐ See patent family annex.

* Special categories of cited documents:	"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
"A" document defining the general state of the art which is not considered to be of particular relevance	"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
"E" earlier document but published on or after the international filing date	"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)	"&" document member of the same patent family
"O" document referring to an oral disclosure, use, exhibition or other means	
"P" document published prior to the international filing date but later than the priority date claimed	

Date of the actual completion of the international search
06 October, 2003 (06.10.03)

Date of mailing of the international search report
21 October, 2003 (21.10.03)

Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.


INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP03/10409

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 11-031076 A (NEC Robot Engineering Kabushiki Kaisha), 02 February, 1999 (02.02.99), Figs. 1, 2 and the explanatory descriptions there of (Family: none)	1-12
A	JP 59-100967 A (Fuji Facom Corp.), 11 June, 1984 (11.06.84), Figs. 2, 3 and the explanatory descriptions there of (Family: none)	1-12
A	JP 8-161283 A (Sony Corp.), 21 June, 1996 (21.06.96), Abstract (Family: none)	1-12
A	JP 7-175661 A (NEC Corp.), 14 July, 1995 (14.07.95), Abstract (Family: none)	1-12

A. 発明の属する分野の分類 (国際特許分類 (IPC))		
Int. Cl ¹ G06F9/445		
B. 調査を行った分野		
調査を行った最小限資料 (国際特許分類 (IPC))		
Int. Cl ¹ G06F9/445, G06F9/06, G06F15/16, G06F15/177		
最小限資料以外の資料で調査を行った分野に含まれるもの		
日本国実用新案公報 1922-1996年 日本国公開実用新案公報 1971-2003年 日本国登録実用新案公報 1994-2003年 日本国実用新案登録公報 1996-2003年		
国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)		
JSTファイル (JOIS) : 日本語, ComputerSoftwareDataBase (日本国特許庁) : 日本語		
C. 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
A	JP 8-185384 A (日本電気株式会社) 1996. 07. 16, 図2、図3とその説明文 (ファミリーなし)	1-12
A	JP 2-064844 A (日本電気株式会社) 1990. 03. 05, 第3図とその説明文 (ファミリーなし)	1-12
<input checked="" type="checkbox"/> C欄の続きにも文献が列挙されている。 <input type="checkbox"/> パテントファミリーに関する別紙を参照。		
* 引用文献のカテゴリー		
「A」 特に関連のある文献ではなく、一般的技術水準を示すもの 「E」 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの 「L」 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す) 「O」 口頭による開示、使用、展示等に言及する文献 「P」 国際出願日前で、かつ優先権の主張の基礎となる出願		
の日の後に公表された文献 「T」 国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの 「X」 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの 「Y」 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの 「&」 同一パテントファミリー文献		
国際調査を完了した日	06. 10. 03	国際調査報告の発送日
		21.10.03
国際調査機関の名称及びあて先 日本国特許庁 (ISA/JP) 郵便番号100-8915 東京都千代田区霞が関三丁目4番3号		特許庁審査官 (権限のある職員) 久保 光宏  5B 9189 電話番号 03-3581-1101 内線 3546

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
A	J P 2000-235495 A (日本電信電話株式会社) 2000.08.29, 図3とその説明文 (ファミリーなし)	1-12
A	J P 11-031076 A (日本電気ロボットエンジニアリン グ株式会社) 1999.02.02, 図1、図2とその説明文 (ファミリーなし)	1-12
A	J P 59-100967 A (富士ファコム制御株式会社) 1984.06.11, 第2図、第3図とその説明文 (ファミリーなし)	1-12
A	J P 8-161283 A (ソニー株式会社) 1996.06.21, 【要約】の記載 (ファミリーなし)	1-12
A	J P 7-175661 A (日本電気株式会社) 1995.07.14, 【要約】の記載 (ファミリーなし)	1-12